

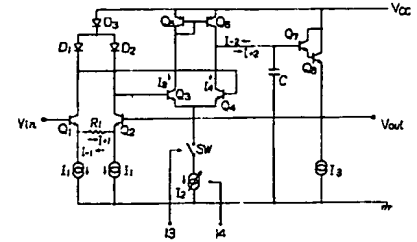
(54) COMPOSITE PROCESSING CIRCUIT FOR FM RECEIVER

(11) 5-344086 (A) (43) 24.12.1993 (19) JP
 (21) Appl. No. 4-152042 (22) 11.6.1992
 (71) TOSHIBA CORP (72) TAKASHI KURIHARA(1)
 (51) Int. Cl.⁵ H04H5/00

Best Available Copy

PURPOSE: To reduce a capacitor and to prevent deterioration in separation by letting a low pass filter substitute with a linear filter.

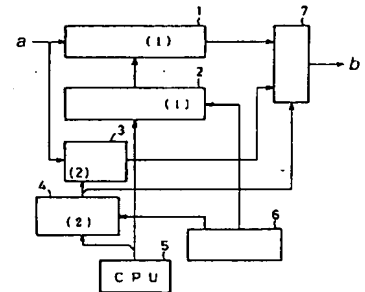
CONSTITUTION: A processing circuit is provided for left and right channel signals from an MPX decoder and provided with a 1st differential amplifier (Q1, Q2, R1, I1, D1-D3) applying logarithmic compression to a corresponding channel signal and outputting the result, a 2nd differential amplifier (Q3-Q6, I2, S ω) having a current source intermitted and limited by a signal from a noise detection circuit 13 and a level detection circuit 14, a capacitor C, an output drive amplifier (Q7, Q8) and a negative feedback circuit. The processing circuit acts as a low pass filter having a linear transfer function including a time constant comprising a resistive component of the 1st and 2nd differential amplifiers and the capacitor C and delays the corresponding channel signal, then a timing with the noise detection signal from the noise detection circuit 13 is controlled by the time constant.

**(54) CROSS CONNECTION DEVICE FOR MULTIPLEX SIGNAL**

(11) 5-344087 (A) (43) 24.12.1993 (19) JP
 (21) Appl. No. 4-152056 (22) 11.6.1992
 (71) FUJITSU LTD (72) HIDEAKI MOCHIZUKI
 (51) Int. Cl.⁵ H04J3/00, H04J3/22, H04L5/22, H04Q3/52, H04Q11/06

PURPOSE: To simplify the cross connect control when signals of different sizes are mapped in a multiplex signal concerning to the cross connection device for the multiplex signal having a switch section composed of T-S-T configuration.

CONSTITUTION: A cross connection device for a multiplex signal in which plural signals of different sizes are mapped is provided with a 1st time switch 2 including a 1st memory 1 having a capacity storing one cycle of the signal and with a 2nd time switch 4 including a 2nd memory 3 whose storage capacity is smaller than that of the 1st memory 1.



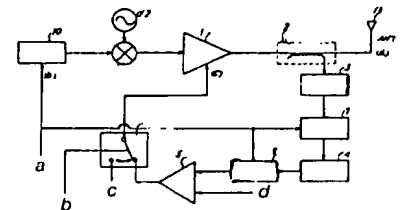
2, 4: control data section, 6: timing section, 7: selection section, a: input data, b: output data

(54) TRANSMISSION OUTPUT AUTOMATIC CONTROLLER FOR TDMA TRANSMITTER

(11) 5-344088 (A) (43) 24.12.1993 (19) JP
 (21) Appl. No. 4-171827 (22) 5.6.1992
 (71) KYOCERA CORP (72) HIROHIKO YONEDA
 (51) Int. Cl.⁵ H04J3/00, H04B1/04

PURPOSE: To provide a transmission output automatic controller for the TDMA transmitter in which a response of transmission output level automatic control is smooth and performed accurately at the time of rising of a burst.

CONSTITUTION: This controller is provided with a directional coupler 2 extracting part of a transmission output signal, a detection circuit 3, a gate 7 which is open when a burst control signal is ON state and which is closed when the burst control signal is OFF state, an integration circuit 4, a sample-and-hold circuit 8 which performs sampling when the burst control signal is ON state and which performs holding when the burst control signal is OFF state, a differential amplifier 5 taking a difference between an output voltage which is sampled and held and a reference voltage, and a changeover switch 9 which feeds back an output of the differential amplifier 5 to a gain control terminal of a power amplifier module 1 to form the transmission output level automatic control loop and at the same time which opens the transmission output level automatic control loop only at the time of a specific burst to impart a default value to the gain control terminal of the power amplifier module 1.



10: modulator, 11: mixer, 12: local oscillator, A, B terminal, a: burst control signal, b: changeover switch control signal, c: default value, d: reference voltage

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-344087

(43)公開日 平成5年(1993)12月24日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|----------------|--------|
| H 0 4 J 3/00 | A | 8843-5K | | |
| 3/22 | | 4101-5K | | |
| H 0 4 L 5/22 | | 8843-5K | | |
| H 0 4 Q 3/52 | 1 0 1 A | 9076-5K | | |
| | | 9076-5K | | |
| | | | H 0 4 Q 11/ 04 | D |

審査請求 未請求 請求項の数 1(全 4 頁) 最終頁に続く

(21)出願番号 特願平4-152056

(22)出願日 平成4年(1992)6月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 望月 英明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

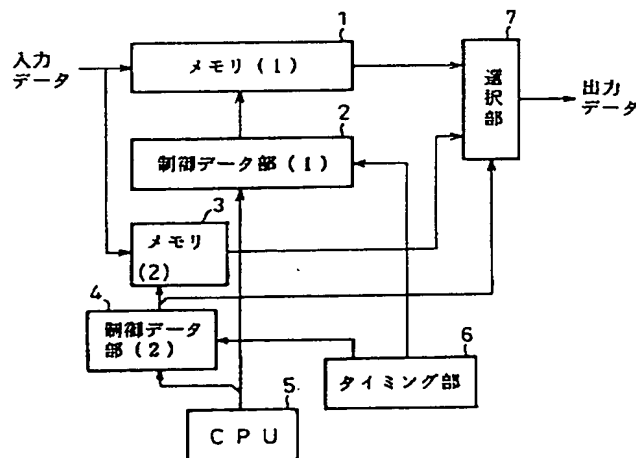
(54)【発明の名称】 多重信号のクロスコネクタ装置

(57)【要約】

【目的】 本発明は、T-S-T構成のスイッチ部を有する多重信号のクロスコネクタ装置に関し、多重信号において異なったサイズの信号がマップされている場合、クロスコネクタ制御を簡易化することを目的とする。

【構成】 異なったサイズの複数の信号がマッピングされている多重信号のクロスコネクタ装置において、信号の1サイクルを記憶する容量を有する第1のメモリを含む第1のタイムスイッチと該第1のメモリよりも記憶容量の小さい第2のメモリ3を含む第2のタイムスイッチを備えるように構成される。

実施例の装置のブロック図



【特許請求の範囲】

【請求項1】 異なったサイズの複数の信号がマッピングされている多重信号のクロスコネクタ装置において、信号の1サイクルを記憶する容量を有する第1のメモリ(1)を含む第1のタイムスイッチと該第1のメモリよりも記憶容量の小さい第2のメモリ(3)を含む第2のタイムスイッチを備え、クロスコネクタの制御を簡単にしたことを特徴とする多重信号のクロスコネクタ装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、T-S-T構成のスイッチ部を有する多重信号のクロスコネクタ装置に関する。近年、通信方式は、SDH(Synchronous Digital Hierarchy)等の方式が主流になりつつある。これに伴い、1つのフォーマット中に異なったサイズの信号をマッピングできるようになった。また、通信装置もこの通信方式に対応したADM(アドドロップマルチプレクサ)装置、デジタルクロスコネクタ装置等の要求があるため、1つのフォーマット中にマッピングされている数種類のサイズの信号をクロスコネクタ(入れ替え)する必要性が生じてきた。

【0002】

【従来の技術】 従来、多重信号における異なったサイズの信号がマッピングされている場合のクロスコネクタは、タイムスイッチ部において一種類のメモリで対応しているため、メモリの容量は最も小さいサイズがマッピングされた場合のチャンネル数に合わせた容量を持っている。このため異なったサイズの信号が1つのフォーマット上にマッピングされていた場合、サイズの大きい信号はチャンネル数が少ないため、タイムスイッチのメモリ内に何度も同じチャンネルが記憶されることになり、その記憶された信号に対しては、同一チャンネルであっても制御が必要であるため、むだな制御をしなければならなかった。

【0003】

【発明が解決しようとする課題】 従来の装置の場合、タイムスイッチのメモリは1つであり、また容量も大きい。そのため、サイズの大きい信号のクロスコネクタの制御が1信号を設定するために、多数の設定を行わなければならなかった。従って、本発明の目的は、多重信号において異なったサイズの信号がマップされている場合、クロスコネクタ制御を簡易化することにある。

【0004】

【課題を解決するための手段】 本発明においては、図1に例示されるように、異なったサイズの複数の信号がマッピングされている多重信号のクロスコネクタ装置において、信号の1サイクルを記憶する容量を有する第1のメモリ1を含む第1のタイムスイッチと該第1のメモリよりも記憶容量の小さい第2のメモリ3を含む第2のタイムスイッチを備えるように構成される。

【0005】

【作用】 メモリ1および制御データ部2は従来型の装置と同様の機能を有し、メモリ3および制御データ部4と選択部7はクロスコネクタの制御を簡易化するために付加されている。メモリ1とメモリ3を組み合わせ、図2のクロスコネクタ制御データフォーマットを用いて制御を簡易化する。

【0006】 メモリ1とメモリ3には同じデータが入力され、このデータは異なったデータサイズの信号が1つのフォーマット内にマッピングされている時、同一チャンネルの周期も異なる。そこでメモリ1とメモリ3に与えているタイミング信号の周期を変え、メモリ3側ではデータサイズの大きい信号側の設定を行う。この設定データは図2に示す設定データフォーマットを使用し、有効/無効情報を選択部7の選択情報と共用することにより、それぞれのメモリでのデータを合わせることができ

【0007】

【実施例】 本発明の一実施例としての多重信号のクロスコネクタ装置のブロック図が図1に示される。この装置は、入力データを受けるメモリ(1)1、メモリ1を制御してタイムスイッチを行う制御データ部(1)2、入力データを受けるメモリ(2)3、メモリ3を制御してタイムスイッチを行う制御データ部(2)4、制御データ部2および制御データ部4を制御する中央処理装置(CPU)5、制御データ部2と制御データ部4のタイミングを制御するタイミング部6、および、メモリ1およびメモリ3でそれぞれタイムスイッチを行ったデータを合成する選択部7を具備する。

【0008】 図3は入力データ例である。すなわち、3つの信号VC3をバイト多重した例で、3つのVC3のうち#1、#3にはTU12(2MHz)、#2にはC3(45MHz)をマップした場合である。この場合、図1のメモリ1の容量は63バイト分必要となり、VC3のうちVC3#1、#3にマップされているTU12の各チャンネルは63バイト周期でメモリ1に格納される。しかし、VC3#2にマップされているC3のデータは、VC3中に1チャンネルしかマップされていないため、同一チャンネルが3バイト周期で格納される。

【0009】 そのため、VC3#2をクロスコネクタするための制御データはメモリ1のみで制御しようとした場合、21チャンネル分の制御データを作成しなければならない。そこで、図1のようにメモリ3にメモリ1と同じデータを入力し、タイミング部6で発生するタイミング信号を、メモリ1には63バイト周期のタイミング信号を与え、メモリ3の方には3バイト周期のタイミング信号を与えることにより、VC3#1、#3とVC3#2のクロスコネクタ制御を分離することが可能になり、メモリ3では3バイト分の容量を持てばよいことになり、VC3#2のクロスコネクタ制御は1チャンネル分の

制御データを作成すればよい。

【0010】次に、クロスコネク制御データによりメモリ1、メモリ3を用いてデータ入れ替えを行った後、メモリ1側、メモリ3側に分離した2系統のデータを合成する。このため図2に示した制御データフォーマット中の有効／無効情報ビットを用い、メモリ3側の有効／無効情報ビットが有効である場合はメモリ3側からのデータを選択し、無効の場合はメモリ1側のデータを選択することにより合成することができる。

【0011】

【発明の効果】本発明によれば、異なったサイズの信号がマップされている場合のクロスコネク制御を簡易化することができる。

【図面の簡単な説明】

【図1】本発明の一実施例としての多重信号のクロスコネク装置のブロック図である。

【図2】実施例の装置において用いられるクロスコネク制御データフォーマットを説明する図である。

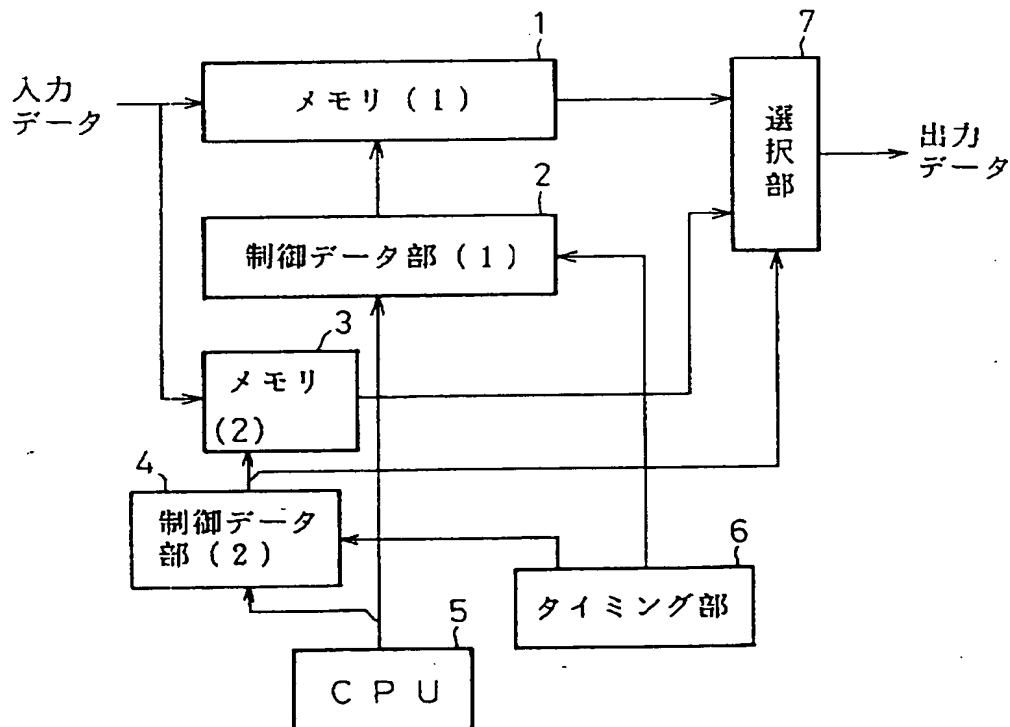
【図3】実施例の装置に入力される信号の一例を示す図である。

【符号の説明】

- 1…メモリ(1)
- 2…制御データ部(1)
- 3…メモリ(2)
- 4…制御データ部(2)
- 5…CPU
- 6…タイミング部
- 7…選択部

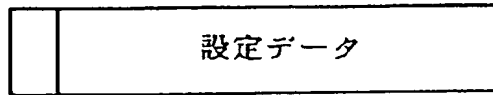
【図1】

実施例の装置のブロック図



【図2】

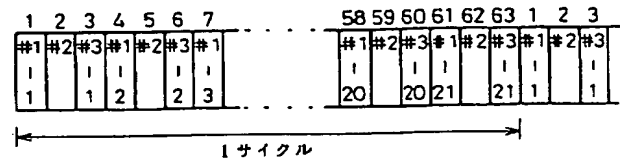
実施例で用いられるクロスコネクト制御データ
フォーマットを説明する図



有効
無効
指定

【図3】

実施例の装置に入力される信号の一例を示す図



フロントページの続き

(51) Int. Cl. ⁵

H04Q 11/06

識別記号

庁内整理番号

F I

技術表示箇所